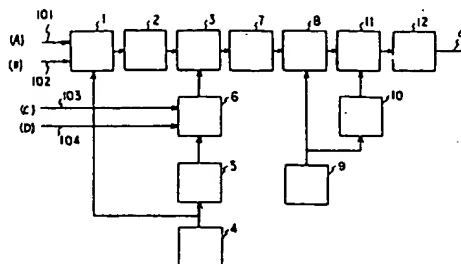


(54) STATUS SIGNAL TRANSMISSION EQUIPMENT

(11) 62-72240 (A) (43) 2.4.1987 (19) JP
 (21) Appl. No. 60-211901 (22) 25.9.1985
 (71) NEC CORP (72) EIICHI KOBAYASHI
 (51) Int. Cl. H04J1/08

PURPOSE: To prevent a received pattern from being erroneously recognized by controlling the level of a timing pilot signal sent independently of a data signal to send a status signal.

CONSTITUTION: A transmission data of a channel A on a signal line 101 and a transmission data of a channel B on a signal line 102 are fed respectively to a coding circuit 1, where they are multiplexed. Then the 1st pilot signal used as a timing signal in a different frequency other than the data signal comprising the status signal of each channel and the 2nd pilot signal used as a carrier pilot signal are sent. The 1st pilot signal is set to one of plural prescribed levels in response to the combination of the status signals of each channel and the 2nd pilot signal is set to a prescribed level and set to the transmission means together with the data signal. A reception section detects the level fluctuation of the 2nd pilot signal to suppress the level fluctuation in the transmission means by the internal gain control, the 1st pilot signal level is detected to discriminate the status signal of each channel.



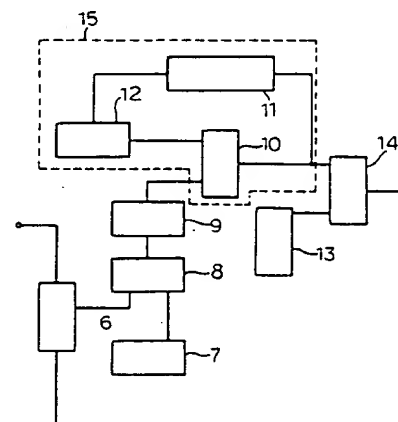
2: DA conversion circuit, 3: mixing circuit, 4: clock generating circuit, 5: frequency division circuit, 6: level changeover circuit, 7: low pass filter circuit, 8: modulation circuit, 9: carrier generation circuit, 10: attenuation circuit, 11: mixing circuit, 12: band pass filter circuit

(54) FRAME SYNCHRONIZING DEVICE

(11) 62-72241 (A) (43) 2.4.1987 (19) JP
 (21) Appl. No. 60-213762 (22) 25.9.1985
 (71) MITSUBISHI ELECTRIC CORP (72) KEISUKE TOMOYASU
 (51) Int. Cl. H04L7/08

PURPOSE: To decrease the synchronizing word even if noise exists in a transmission line by measuring the content of a shift register through which a transmission data passes and the intensity of correlation as the content of a synchronizing word generating circuit and using a digital integration circuit to compare the measured value a threshold value after the measured value is integrated in a digital integration circuit by one frame period.

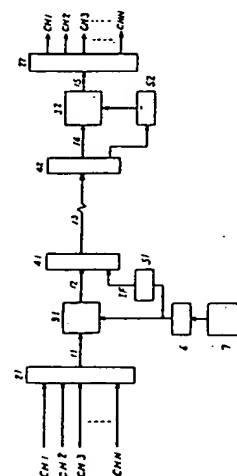
CONSTITUTION: The content of a shift register 6 through which a transmission data having a synchronizing word passes is compared and counted with the content of a synchronizing word generating circuit 7 by an exclusive OR circuit 8 and a measuring circuit 9 at each bit, the measured value representing the intensity of the correlation between the synchronizing word and the content of the shift register 6 is sent from the circuit 9 and inputted to a digital integration circuit 15. The integration circuit 15 consists of an adder circuit 10, a buffer memory 11 and an attenuation circuit 12, the own output is fed back to the adder circuit 10 through the attenuation circuit 12 while being subject to 1 frame delay, and the output of the circuit 9 is compared with a threshold value of a threshold value generating circuit 13 at a comparator circuit 14. Thus, even when the noise in a transmission line is large, the reduction in the accuracy is prevented and the synchronization by a short synchronizing word is attained.

**(54) CIPHERING SYSTEM**

(11) 62-72243 (A) (43) 2.4.1987 (19) JP
 (21) Appl. No. 60-213003 (22) 26.9.1985
 (71) FUJITSU LTD (72) YUTAKA MORIYAMA(2)
 (51) Int. Cl. H04L9/00, G09C1/00

PURPOSE: To obtain easily the privacy effect of a high speed data with the use of a low speed data ciphering device by dividing a multiplex data into blocks in a frame, rearranging them, ciphering rearranged information and sending the result at the same time.

CONSTITUTION: A multiplex signal is the input to an rearranging section 31. A table 6 inputs a random number of a random number generating section 7 and outputs a rearranged pattern. All patterns for the rearrangement are registered in the table 6 in advance. The rearrangement section 31 divides a data in one frame by using the said pattern, rearrange the data into a signal 12 and outputs the result to a frame forming section 41. The said pattern is ciphered by a ciphering section 51 and inputted to the frame forming section 41. The forming section 41 adds a frame synchronizing signal to the signal 12 and ciphered rearrangement information (IF) to constitute a frame, which is sent as a transmission signal 13.



21: multiplexing part, 27: data separation section, 32: rearrangement, 42: frame separation, 52: decoding

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-72243

⑬ Int.Cl.⁴

H 04 L 9/00
G 09 C 1/00

識別記号

庁内整理番号

B-7240-5K
7368-5B

⑭ 公開 昭和62年(1987)4月2日

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 暗号化方式

⑯ 特 願 昭60-213003

⑰ 出 願 昭60(1985)9月26日

⑱ 発 明 者	盛 山 裕	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	石 田 準 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 発 明 者	富 永 昭 治	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉒ 代 理 人	弁理士 井 桁 貞一		

明 細 書

1. 発明の名称

暗号化方式

2. 特許請求の範囲

デジタル多重化装置で、入力データを多重化し、フレームを構成して伝送するものにおいて、前記フレーム内のデータ部を複数のブロックに分割し、フレーム内でブロックの並び換えを随時変更しながら行ない、並び換えの情報を暗号化し同時に伝送することを特徴とする暗号化方式。

3. 発明の詳細な説明

本発明は、デジタル多重化装置において、多重化データをフレーム内で分割後並び換え情報を暗号化して伝送することにより秘匿効果を容易に得られる方式に関する。

従来のデジタル多重化装置では、高速データ用の暗号化装置がないため、データの暗号化を行わないか、あるいは、低速データ用の暗号化装置を複数台使用し、低速データを暗号化後多重化する方法をとっている。この場合暗号化装置が複数台

必要で高価となる。

本発明目的は、低速データ用暗号化装置1セットを用いてデジタル多重化された高速データの秘匿効果を容易に得る方式を提供する。

本発明はデータ多重化装置で多重化されたデータをフレーム内においてブロック分割しそのブロックの並び換えを行わない、並び換えを随時変更し、並び換えの情報を暗号化して同時に伝送することにより多重化されたデータについて簡易的な秘匿効果を得られる様にしたものである。

第1図の実施例及び第2図のタイムチャートで、デジタルデータCH1～Nが入力され、多重化部21でデータは時分割多重され、多重化信号となり、並び換え部31の入力となる。一方、テーブル6は乱数発生部7より発生した乱数を入力とし並び換えのパターンを出力する。テーブル6には並べかえの全てのパターンがあらかじめ登録されている。

並び換え部31は、テーブル6からのパターンにより1つフレーム内のデータをブロック分割後

並び換え、信号12としてフレーム作成部41へ出力する。並び換えのパターンは暗号化部51で暗号化されフレーム作成部41にに入力される。フレーム作成部41ではデータ12と暗号化された並び換え情報(1F)にフレーム同期信号(PF)を加えフレームを構成し、伝達信号13として送出する。受信側では、データをフレーム分離部42でデータと並び換え情報を分離し、並び換え情報は復号化部52で復号し並び換え部32に入力され、並び換え部32でデータを送信側と逆の並び換えをブロック単位で行い、もとの信号11と同じ信号15が出力される。このデータはデータ分離部22でCH1～CHNに分離出力される。

本発明によれば伝送路上の信号は信号13の様に順不同となり、また並び換え情報は暗号化されているため簡易的に秘匿効果が得られる。

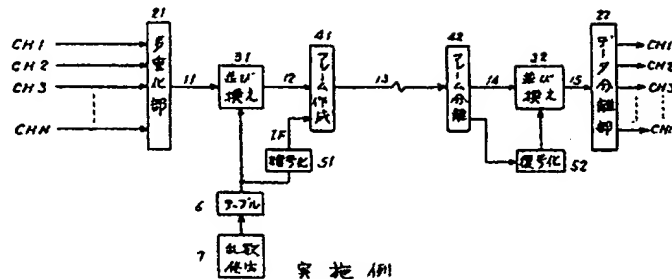
本発明によれば、低速の暗号化装置により、高速データの秘匿効果が容易に得られる。

4. 図面の簡単な説明

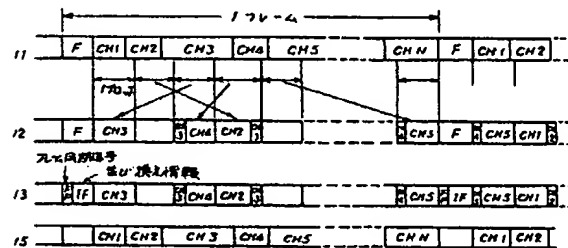
第1図は本発明の実施例を示す図、第2図はそのタイムチャートである。

図中7は乱数発生部、31、32は並び換え部、51は暗号化部、52は復号化部である。

代理人 弁理士 井 桁 卓



第1図



タイムチャート

第2図